

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 1 月 29 日 (29.01.2004)

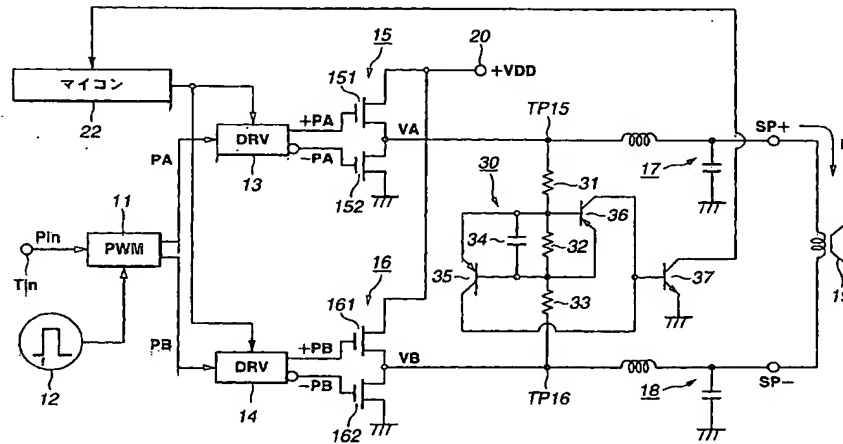
PCT

(10) 国際公開番号  
WO 2004/010575 A1

- (51) 国際特許分類<sup>7</sup>: H03F 3/217, 3/26 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/007224 (75) 発明者/出願人 (米国についてのみ): 後藤 昌央  
(22) 国際出願日: 2003 年 6 月 6 日 (06.06.2003) (GOTO, Masao) [JP/JP]; 〒141-0001 東京都品川区北  
(25) 国際出願の言語: 日本語 品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).  
(26) 国際公開の言語: 日本語 (74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒100-0011  
(30) 優先権データ: 特願2002-209557 2002 年 7 月 18 日 (18.07.2002) JP 東京都千代田区内幸町一丁目 1 番 7 号 大和生命ビ  
(71) 出願人 (米国を除く全ての指定国について): ソニー株 2 文字コード及び他の略語については、定期発行される  
式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 各 PCT ガゼットの巻頭に掲載されている「コードと略語  
東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP). のガイダンスノート」を参照。
- (81) 指定国 (国内): JP, KR, US. 添付公開書類:  
— 国際調査報告書

(54) Title: POWER AMPLIFIER

(54) 発明の名称: パワーアンプ装置



22...MICROCOMPUTER

(57) Abstract: A power amplifier driven by a pulse width modulation (PWM) signal. From a first pulse width modulation signal having a pulse width corresponding to the input signal quantization level, a pair of first drive pulses of reverse levels is formed and is supplied to a first push-pull circuit. From a second pulse width modulation signal having a pulse width corresponding to two's complement of the input signal quantization level, a pair of first drive pulses of reverse levels is formed and is supplied to a second push-pull circuit (16). A loudspeaker (19) is connected between the output ends of the first and the second push-pull circuit (15, 16). A difference between the potential of the output end of the first push-pull circuit (15) and the potential of the output end of the second push-pull circuit (16) is detected and if any difference is present, the operation of the push-pull circuit is substantially stopped.

(57) 要約: 本発明は、パルス幅変調信号 (PWM (Pulse Width Modulation) 信号) によりドライブされるパワーアンプ装置であり、入力信号の量子化レベルをパルス幅に対応させた第 1 のパルス幅変調信号から、互いに逆レベルの一对の第 1 のドライブパルスを形成し、第 1 のプッシュプル回路に供給する。入力信号を、その量子化レベルの 2 の補数をパルス幅に対応させた第 2 のパルス幅変調信号から、

[続葉有]



---

互いに逆レベルの一对の第1のドライブパルスを形成し、第2のプッシュプル回路(16)に供給する。第1及び第2のプッシュプル回路(15)(16)の出力端の間にスピーカ(19)を接続する。第1のプッシュプル回路(15)の出力端の電位と、第2のプッシュプル回路(16)の出力端の電位とのずれを検出し、ずれがあったときには、プッシュプル回路の動作を実質的に停止させる。

## 明細書

## パワーアンプ装置

## 技術分野

本発明は、パルス幅変調信号（以下、PWM（Pulse Width Modulation）信号という）によりドライブされるパワーアンプ装置に関する。

本出願は、日本国において2002年7月18日に出願された日本特許出願番号2002-209557を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

## 背景技術

従来、オーディオ用のパワーアンプ装置として、いわゆるD級アンプと呼ばれるデジタルアンプがある。このD級アンプは、スイッチングにより電力増幅を行うものであり、例えば図1に示すように構成されている。

図1に示すパワーアンプ装置は、デジタルオーディオ信号Pinが、入力端子Tinを通じてPWM変調回路11に供給されると共に、クロック生成部12から所定の周波数のクロック信号がPWM変調回路11に供給される。PWM変調回路11に供給されたデジタルオーディオ信号Pinは、一対のPWM信号PA、PBに変換される。

この場合、図2A、図2Bに示すように、PWM信号PA、PBのパルス幅（各PWM信号波形において、状態“H”である時間幅）は、デジタルオーディオ信号Pinが示す量子化レベル（信号PinをD/A変換したときの瞬時レベルに対応。以下同様）に対応して変化するものであるが、一方のPWM信号PAのパルス幅は、デジタルオーディオ信号Pinそのものが示す量子化レベルの大きさに対応するものとされ、他方のPWM信号PBのパルス幅は、デジタルオーディオ信号Pinが示す量子化レベルの2の補数の大きさに対応するものとされ

る。

なお、図 2 A 及び図 2 B に示した例の PWM 信号 P A 及び P B は、その立ち上がり時点が、PWM 信号 P A、P B の 1 サイクル期間（基準周期）T C の開始時点に固定され、その立ち下がり時点がデジタルオーディオ信号 P i n の示すレベルに対応して変化する、いわゆる片側変調方式の PWM 信号である。

PWM 信号 P A 及び P B としては、図 2 C 及び図 2 D に示すように、立ち上がり時点及び立ち下がり時点の両方が同時に変化する、いわゆる両側変調方式の PWM 信号とすることもできる。

PWM 信号 P A、P B のキャリア周波数  $f_c (= 1 / T_C)$  は、デジタルオーディオ信号 P i n のサンプリング周波数  $f_s$  の例えば 16 倍とされ、 $f_s = 48 \text{ kHz}$  とすれば、

$$f_c = 16 f_s = 16 \times 48 \text{ kHz} = 768 \text{ kHz}$$

とされる。

この PWM 変調回路 11 からの一方の PWM 信号 P A がドライブ回路 13 に供給されて、図 3 A に示すように、PWM 信号 P A と非反転及び反転された一対のドライブ用のパルス電圧（ドライブパルス）+P A、-P A が形成される。

ドライブ回路 13 からのパルス電圧 +P A、-P A は、一対のスイッチング素子、例えば n チャンネルの MOS-FET（Metal Oxide Semiconductor Type Field Effect Transistor）151、152 のゲートにそれぞれ供給される。

この場合、FET（Field Effect Transistor）151、152 は、ブッシュアップ回路 15 を構成するものであり、FET 151 のドレインが電源端子 20 に接続され、FET 151 のソースが FET 152 のドレインに接続され、FET 152 のソースが接地に接続される。電源端子 20 には、安定した直流電圧 +V D D が電源電圧として供給される。なお、電圧 +V D D は、例えば 20 V ~ 50 V とされている。

そして、FET 151 のソース及び FET 152 のドレインが、コイル及びコンデンサを有するローパスフィルタ 17 を通じて、スピーカ 19 の一端が接続されるスピーカ端子 S P + に接続される。

PWM 変調回路 11 からの他方の PWM 信号 P B に対しても、PWM 信号 P A

に対してと同様に構成される。すなわち、PWM信号PBがドライブ回路14に供給されて、図3Bに示すように、信号PBと非反転及び反転された一対のドライブ用のパルス電圧（ドライブパルス）+PB、-PBが形成される。

ドライブ回路14からのパルス電圧+PB、-PBが、プッシュプル回路16を構成する一対のnチャンネルのMOS-FET161、162のゲートにそれぞれ供給される。

そして、FET161のソース及びFET162のドレインが、コイル及びコンデンサを有するローパスフィルタ18を通じてスピーカ19の他端が接続されるスピーカ端子SP-に接続される。

したがって、パルス電圧+PA="H"のときには、パルス電圧-PA="L"であり、FET151がオンになるとともに、FET152がオフになるので、FET151、152の接続点の電圧VAは、図3Cに示すように、電圧+VDDとなる。逆に、パルス電圧+PA="L"のときには、パルス電圧-PA="H"であり、FET151がオフになると共に、FET152がオンになるので、電圧VA=0となる。

同様に、パルス電圧+PB="H"のときには、パルス電圧-PB="L"であり、FET161がオンになるとともに、FET162がオフになるので、FET161、162の接続点の電圧VBは、図3Dに示すように、電圧+VDDとなる。逆に、パルス電圧+PB="L"のときには、パルス電圧-PB="H"であり、FET161がオフになるとともに、FET162がオンになるので、電圧VB=0となる。

そして、電圧VA=+VDD、かつ、電圧VB=0の期間には、図1及び図3Eに示すように、FET151、152の接続点から、ローパスフィルタ17からスピーカ19、さらにローパスフィルタ18に至るラインを通じて、FET161、162の接続点へと、電流iが流れる。

また、電圧VA=0、かつ、電圧VB=+VDDの期間には、FET161、162の接続点から、ローパスフィルタ18からスピーカ19、さらにローパスフィルタ17に至るラインを通じて、FET151、152の接続点へと、逆向きに電流iが流れる。さらに、VA=VB=+VDDの期間、及びVA=VB=

0の期間には、電流*i*は流れない。つまり、ブッシュアップ回路15、16がBTL (Bridge Tied Load) 回路を構成しているためである。

電流*i*の流れる期間は、元のPWM信号PA、PBが立ち上がっている期間に対応して変化するとともに、電流*i*がスピーカ19を流れるとき、電流*i*はローパスフィルタ17、18により積分されるので、結果として、スピーカ19を流れる電流*i*は、デジタルオーディオ信号Pinの示すレベルに対応したアナログ電流であって、電力増幅された電流となる。つまり、電力増幅された出力がスピーカ19に供給されることになる。

こうして、図1に示す回路は、パワーアンプとして動作するが、このとき、FET151、152、161、162は、入力されたデジタルオーディオ信号Pinに対応して電源電圧+VDDをスイッチングして、電力増幅をするので、効率が良く、大出力を得ることができる。

ところで、図1の構成のみでは、パワーアンプ装置に電源が投入されている状態において、例えばスピーカ19とスピーカ端子SP+、SP-とを結線する際などにおいて、スピーカ端子SP+又はスピーカ端子SP-の一方に、一端側が接続されているスピーカコードの他端が、シャーシや金属に触れるなどした場合、図1の出力段のブッシュアップ回路の一方には大電流が流れ、当該ブッシュアップ回路のFET151、152又は161、162が破壊されるおそれがある。

また、一端側のリード線がスピーカ端子SP+あるいはスピーカ端子SP-に接続されているスピーカコードの他端側が金属部分に接触した場合にも、回路に大電流が流れて、出力段のFET151、152、161、162が破壊されるおそれがあると共に、このときにはスピーカが破壊（焼損）してしまうおそれがある。

このような事態の発生を防止するため、従来から、上述のようなパワーアンプ装置には、過電流保護回路が設けられている。図4は、その過電流保護回路が付加された従来のパワーアンプ装置を示す回路図である。

図4に示すパワーアンプ装置には、過電流検出回路21が、出力段のブッシュアップ回路15、16と、電源端子20との間に設けられる。

すなわち、過電流検出回路21においては、電源端子20がコンデンサ211

を介して接地されると共に、抵抗器 212 及びコンデンサ 213 の直列回路を介して接地される。電源端子 20 は、過電流検出用のトランジスタ 214 のエミッタに接続される。抵抗器 212 とコンデンサ 213 との接続点が、FET 151 及び 161 のドレインに接続され、ブッシュブル回路 15 及び 16 には、電源電圧 +VDD が抵抗器 212 を通じて供給される。

抵抗器 212 とコンデンサ 213 との接続点は、過電流検出用のトランジスタ 214 のベースに接続される。このトランジスタ 214 のコレクタは、トランジスタ 215 のベースに接続される。このトランジスタ 215 のエミッタは接地される。このトランジスタ 215 のコレクタ出力が、過電流検出出力として、マイクロコンピュータ 22 に供給される。

マイクロコンピュータ 22 は、トランジスタ 215 のコレクタ出力により、過電流が検出されたと判断したときには、この例では、ドライブ回路 13 及び 14 からのドライブ信号 +PA、-PA 及び +PB、-PB の出力を停止して、FET 151、152、161、162 を常にオフとするように制御する。

この過電流検出回路 21 は、次のように動作する。すなわち、図 4 の構成においては、電源端子 20 からの電源電圧 +VDD は、抵抗器 212 を通じてブッシュブル回路 15 及び 16 に供給される。

通常動作時には、FET 151、152、161、162 を通じて流れる電流  $i$  は、所定の値よりは小さく、このため抵抗器 212 による電圧降下は小さいため、過電流検出用トランジスタ 214 はオフである。

一方、前述のような理由により、FET 151、152、161、162 を通じて大電流が流れるようになると、抵抗器 212 における電圧降下は大きくなるため、過電流検出用トランジスタ 214 はオンとなる。このため、トランジスタ 215 もオンとなり、そのコレクタの過電流検出出力がハイレベルからローレベルとなる。

すると、マイクロコンピュータ 22 は、この過電流検出出力がローレベルになったことから、ドライブ回路 13、14 に、その出力を停止させる制御信号を供給する。ドライブ回路 13 及び 14 では、この制御信号を受けて、ドライブ信号 +PA、-PA 及び +PB、-PB の、FET 151、152、161、162

への供給を停止する。これにより、FET 151、152、161、162は全てオフとされ、過電流は流れなくなり、FET 151、152、161、162やスピーカ19が保護される。

ところで、スピーカ端子SP+及びSP-にスピーカ19が接続されて、このスピーカ19がPWM駆動されるときのパワーアンプの出力は、数W～100Wを超えるものとなる。

上述した従来の検出回路の場合には、電源電圧+VDDが、過電流検出用の抵抗器212を介してプッシュプル回路15、16に供給される構成であるため、通常動作時には、スピーカ19に流れる音声信号電流*i*に応じた電流が抵抗器212を流れることにより、プッシュプル回路15、16の電源電圧(FET 151、161のドレイン電圧)が変動することになる。

このため、図4の構成では、パワーアンプの最小出力のときと、最大出力のときとで、所期の比率の出力が得られない問題がある。

#### 発明の開示

本発明は、上述したような従来のパワーアンプ装置が有する問題点を解消することができる新規なパワーアンプ装置を提供することにある。

上述したような目的を達成するために提案される本発明に係るパワーアンプ装置は、入力信号を非反転して増幅し、出力端が負荷の一端に接続される第1の増幅回路と、入力信号を反転して増幅し、出力端が負荷の他端に接続される第2の増幅回路と、第1の増幅回路の出力端の電位と、第2の増幅回路の出力端の電位とのずれを検出する検出手段と、検出手段の検出出力に基づき、第1及び第2の増幅回路の動作を停止させる動作停止手段とを備える。

本発明に係るパワーアンプ装置においては、通常動作時は、負荷の一端が接続される第1の増幅回路の出力端と、負荷の他端が接続される第2の増幅回路の出力端とは、共に電源電圧の中点電位となる。

一方、パワーアンプ装置に電源が投入されている状態において、例えばスピーカ19とスピーカ端子SP+、SP-とを結線する際などにおいて、スピーカ端



子SP+又はスピーカ端子SP-の一方に、一端側が接続されているスピーカコードの他端が、シャーシや金属に触れるなどした場合に、当該スピーカコードが接続されている方のスピーカ端子を出力端とする増幅回路の増幅素子には大電流が流れ、また、この増幅回路の出力端の電位が下がる。

このため、他の増幅回路の出力端の midpoint 電位に対するずれが生じ、そのずれが検出手段により検出される。そして、動作停止手段は、その検出出力により、増幅回路の動作を実質的に停止させる。これにより、増幅回路の増幅素子や負荷が保護される。

これらの増幅回路として、パルス幅変調信号によるスイッチングアンプとすることができる。この場合には、第1の増幅回路は、入力信号を、その量子化レベルをパルス幅に対応させた第1のパルス幅変調信号に変換して出力する第1のパルス幅変調手段と、第1のパルス幅変調手段から出力される第1のパルス幅変調信号を互いに逆レベルの一对の第1のドライブパルスに変換して出力する第1のドライブ手段と、第1の一对のスイッチング素子がプッシュプル接続されて構成され、第1のドライブ手段からの一对の第1のドライブパルスが、第1の一对のスイッチング素子に供給され、出力端が負荷の一端に接続される第1のプッシュプル回路とを備える。また、第2の増幅回路は、入力信号を、その量子化レベルの2の補数をパルス幅に対応させた第2のパルス幅変調信号に変換して出力する第2のパルス幅変調手段と、第2のパルス幅変調手段から出力される第2のパルス幅変調信号を互いに逆レベルの一对の第2のドライブパルスに変換して出力する第2のドライブ手段と、第2の一对のスイッチング素子がプッシュプル接続されて構成され、第2のドライブ手段からの第2の一对のドライブパルスが、第2の一对のスイッチング素子に供給され、出力端が負荷の他端に接続される第2のプッシュプル回路とを備える。そして、検出手段は、第1のプッシュプル回路の出力端の電位と、第2のプッシュプル回路の出力端の電位とのずれを検出する。

この場合にも、パワーアンプ装置に電源が投入されている状態において、例えばスピーカ端子SP+又はスピーカ端子SP-の一方が、シャーシや金属に触れるなどした場合に、接地されたスピーカ端子を出力端とするプッシュプル回路のスイッチング素子には大電流が流れ、また、このプッシュプル回路の出力端の電

位が下がる。

このため、他のプッシュプル回路の出力端の midpoint 電位に対するずれが生じ、そのずれが検出手段により検出される。そして、動作停止手段は、その検出出力により、プッシュプル回路の動作を実質的に停止させる。これにより、プッシュプル回路のスイッチング素子や負荷が保護される。

また、本発明に係るパワーアンプ装置は、入力信号を非反転して増幅し、出力端が負荷の一端に接続される第 1 の増幅回路と、入力信号を反転して増幅し、出力端が負荷の他端に接続される第 2 の増幅回路と、第 1 の増幅回路の出力端の電位と、第 2 の増幅回路の出力端の電位とのずれを検出する検出手段と、検出手段の検出出力に基づき、出力端に対して負荷を切り離すようにする手段と備える。

このパワーアンプ装置においても、第 1 及び第 2 の増幅回路の出力端の midpoint 電位に対するずれが検出手段により検出される。そして、動作停止手段は、その検出出力に応じて、第 1 及び第 2 の増幅回路の出力端に接続される負荷を切り離す。これにより、増幅回路の増幅素子や負荷が保護される。

本発明の更に他の目的、本発明によって得られる具体的な利点は、以下において図面を参照して説明される実施の形態の説明から一層明らかにされるであろう。

#### 図面の簡単な説明

図 1 は、PWM 駆動のパワーアンプ装置の構成例を示す回路図である。

図 2 A 乃至図 2 D は、図 1 に示すパワーアンプ装置の動作の説明に供する図である。

図 3 A 乃至図 3 F は、図 1 に示すパワーアンプ装置の動作の説明に供する図である。

図 4 は、従来の過電流保護回路を備えるパワーアンプ装置を示す回路図である。

図 5 は、本発明に係るパワーアンプ装置を示す回路図である。

図 6 は、本発明に係るパワーアンプ装置の他の例を示す回路図である。

図 7 は、本発明に適用される過電流検出回路の他の例を示す回路図である。

図 8 は、本発明に係るパワーアンプ装置の他の例を示すブロック図である。

発明を実施するための最良の形態

以下、本発明に係るパワーアンプ装置を、前述したデジタルオーディオ信号の電力増幅装置に適用した例を挙げて説明する。

図5は、本発明に係るパワーアンプ装置の構成を示す回路図であり、過電流検出回路部分を除くPWM駆動回路部分は、前述した図1に示したものと全く同様である。

本発明においては、電源端子20からの電源電圧+VDDは、前述した図4に示す従来例の場合と異なり、抵抗器を介さずに直接にプッシュプル回路15及び16に供給される。

本発明に係るパワーアンプ装置の過電流検出回路30においては、プッシュプル回路15の出力端であるFET151のソースとFET152のドレインとの接続点TP15と、プッシュプル回路16の出力端であるFET161のソースとFET162のドレインとの接続点TP16との間に、抵抗器31、32、33の直列回路が接続される。中央の抵抗器32に並列にコンデンサ34が接続される。このコンデンサ34は、この過電流検出回路30が低周波成分についてのみ動作するようにするために設けられる。

抵抗器31と32の接続点が、PNP型トランジスタ35のエミッタに接続されると共に、PNP型トランジスタ36のベースに接続される。抵抗器32と33の接続点が、PNP型トランジスタ35のベースに接続されると共に、PNP型トランジスタ36のエミッタに接続される。そして、PNP型トランジスタ35及びPNP型トランジスタ36のコレクタ同士が接続され、その接続点がトランジスタ37のベースに接続される。このトランジスタ37のエミッタは接地され、そのコレクタに得られる過電流検出出力は、マイクロコンピュータ22に供給される。

以上の構成においては、通常動作時には、接続点TP15及びTP16は、共に中点電位、つまり、 $+VDD/2$ となり、PWM駆動回路部分は、図4の場合と全く同様にして動作する。このとき、接続点TP15及びTP16は、前述し

たように、共に中点電位であるため、過電流検出回路 30 には電流は、流れず、トランジスタ 35、36 は共にオフ、したがって、トランジスタ 37 もオフの状態となる。

この場合に、図 4 に示す従来例とは異なり、ブッシュアップ 15 及び 16 には、電源端子 20 からの電源電圧 +VDD が直接に供給されるので、図 4 に示す従来例のようなレベル変動がスピーカ 19 での再生音声に生じることはなく、音声品質の劣化は生じない。

次に、図 5 に示すパワーアンプ装置に電源が投入されている状態において、スピーカ端子 SP-側が、前述したような理由で接地されるなどすると、ブッシュアップ回路 16 の出力端、つまり接続点 TP16 の電位が中点電位よりも下がる。

すると、接続点 TP15 から接続点 TP16 側に向かって電流が流れ、抵抗器 32 における電圧降下分により、トランジスタ 35 がオンとなる。このため、トランジスタ 37 がオンとなって、過電流状態が検出され、その過電流状態の検出出力がマイクロコンピュータ 22 に供給される。

マイクロコンピュータ 22 は、受け取った過電流検出出力に基づいて、ドライバ回路 13 及び 14 を非動作状態に制御して、ブッシュアップ回路 15 及び 16 の FET 151、152、161、162 の全てをオフする。これにより、ブッシュアップ回路 16 には過電流が流れなくなり、FET 161、162 が保護されると共に、負荷としてのスピーカ 19 が接続されている場合には、スピーカ 19 も保護される。

図 5 に示すパワーアンプ装置に電源が投入されている状態において、スピーカ端子 SP+側が、前述したような理由で接地されるなどすると、ブッシュアップ回路 15 の出力端、つまり接続点 TP15 の電位が中点電位よりも下がる。

すると、接続点 TP16 から接続点 TP15 側に向かって電流が流れ、抵抗器 32 における電圧降下分により、トランジスタ 36 がオンとなる。このため、トランジスタ 37 がオンとなって、過電流状態が検出され、その過電流状態の検出出力がマイクロコンピュータ 22 に供給される。

マイクロコンピュータ 22 は、受け取った過電流検出出力に基づいて、ドライバ回路 13 及び 14 を非動作状態に制御して、ブッシュアップ回路 15 及び 16 の

FET 151、152、161、162の全てをオフする。これにより、ブッシュアップ回路15には過電流が流れなくなり、FET 151、152が保護されると共に、負荷としてのスピーカ19が接続されている場合には、スピーカ19も保護される。

以上のようにして、本発明に係るパワーアンプ装置の検出回路30によれば、ブッシュアップ回路を構成するスイッチング素子としてのFET 151、152、161、162や、負荷としてのスピーカが、過電流に対して保護されると共に、パワーアンプの最小出力のときと、最大出力のときとで、所期の比率の出力が得られる。

なお、上述の例では、マイクロコンピュータ22は、過電流検出出力によりドライブ回路13及び14の動作を制御するようにしたが、マイクロコンピュータ22は、過電流検出出力によりPWM変調回路11の出力PA、PBを停止するように制御してもよい。

また、マイクロコンピュータ22は、過電流検出出力により、PWM変調回路11やドライブ回路13、14の動作を実質上不能にするために、それらPWM変調回路11やドライブ回路13、14、ブッシュアップ回路15、16への電源供給を遮断するようにしてもよい。

また、図6に示すように、スピーカ端子SP+とフィルタ17との間及びスピーカ端子SP-とフィルタ18との間に、通常はオンとされる出力遮断用のスイッチ回路41、42を設け、マイクロコンピュータ22が、過電流検出出力に基づいて、過電流検出時には、これらのスイッチ回路41、42をオフするようにしてもよい。スイッチ回路41、42をオフすることにより、負荷側が出力端から切断され、不具合を生じる電流のルートが断たれるからである。

上述した本発明に係るパワーアンプ装置の検出回路30では、ブッシュアップ回路15及び16の出力端（接続点TP15及びTP16）の間に直列接続された3本の抵抗器を使用して過電流状態を検出したが、両出力端の間の電位変化が検出されればよいので、例えば抵抗器は1本でも構成できることはもちろんである。あるいは、両出力端の電位のずれを検出する回路であってもよい。

なお、上述した検出回路30では、接続点TP15及びTP16のいずれかの

電位が中点電位からずれた場合に、ブッシュブル回路 15 及び 16 の F E T 15 1、15 2、16 1、16 2 の全てをオフするようにしたが、図 7 に示すように、接続点 T P 15 及び T P 16 の電位のずれをそれぞれ検出して、どちらのブッシュブル回路が過電流状態となったか判断し、過電流状態となったと判断されたブッシュブル回路の F E T のみをオフとするように制御してもよい。すなわち、接続点 T P 16 の電位が中点電位よりも下がった場合は、接続点 T P 15 から接続点 T P 16 側に向かって電流が流れる抵抗器 32 における電圧降下分により、トランジスタ 35 がオンとなり、このため、トランジスタ 39 がオンとなって、接続点 T P 16 側の過電流状態が検出され、その過電流状態の検出出力がマイクロコンピュータ 22 に供給される。マイクロコンピュータ 22 は、受け取った過電流検出出力に基づいて、ブッシュブル回路 16 の F E T 16 1、16 2 をオフするように制御する。逆に、接続点 T P 15 の電位が中点電位よりも下がった場合は、接続点 T P 16 から接続点 T P 15 側に向かって電流が流れる抵抗器 32 における電圧降下分により、トランジスタ 36 がオンとなり、このため、トランジスタ 38 がオンとなって、接続点 T P 15 側の過電流状態が検出され、その過電流状態の検出出力がマイクロコンピュータ 22 に供給される。マイクロコンピュータ 22 は、受け取った過電流検出出力に基づいて、ブッシュブル回路 15 の F E T 15 1、15 2 をオフするように制御する。もちろん、この例においても、マイクロコンピュータ 22 がいずれの過電流検出出力を受け取った場合にブッシュブル回路 15 及び 16 の F E T 15 1、15 2、16 1、16 2 の全てをオフするようにしてもよい。

また、上述した例では、検出回路 30 はブッシュブル回路 15 及び 16 の出力端の間に接続されるが、ローパスフィルタ 17 及び 18 の出力端の間、つまりスピーカ端子 S P + とスピーカ端子 S P - との間に接続されるようにしてもよい。この場合、ローパスフィルタ 17 及び 18 の出力端ではアナログ信号とされた出力が得られるので、検出回路 30 の過電流検出用の抵抗器 32 及び並列コンデンサ 34 による時定数を大きくする必要がある。

なお、上述の例では、入力信号 P i n がデジタルオーディオ信号の場合である場合を例に挙げて説明したが、アナログオーディオ信号であってもよい。また、

PWM変調回路11及びドライブ回路13、14を一体化した構成とすることもできる。さらに、PWM変調回路11及びドライブ回路13、14はハードウェア構成とすることはもちろん、DSP (Digital Signal Processor) やマイクロコンピュータで実行されるソフトウェア処理により各PWM信号を得るようにしてもよい。

上述の例では、パワーアンプ部としてブッシュアップ回路15及び16により説明したが、それぞれスイッチング素子1個によるシングルエンド構成とすることもできる。この場合、FET152、162の代わりに例えば抵抗器に置き換えればよく、ドライブ回路13、14は不要となる。

さらに、パワーアンプ部がアナログ回路である場合にも本発明の技術が適用できる。例えば、図8のパワーアンプ装置は、所謂BTLタイプの構成を示している。アナログオーディオ信号Sinが、入力端子Tinより供給され、非反転パワーアンプ回路51で電力増幅され、スイッチ回路41を介して、スピーカ19の一端が接続されるスピーカ端子SP+に出力される。一方、アナログオーディオ信号Sinがインバータ53を介して非反転パワーアンプ回路52に供給される。パワーアンプ回路52で電力増幅され、スイッチ回路42を介して、スピーカ19の他端が接続されるスピーカ端子SP-に出力される。インバータ53及び非反転パワーアンプ回路52は、反転パワーアンプを構成している。ここで、パワーアンプ回路51、52は、例えば正極の直流電圧+VDDのみが電源電圧として電源端子20に供給される、いわゆる片電源方式とされ、その出力端における電位は共に中点電位、つまり、 $+VDD/2$ となっているものとする。そして、この例においても、それぞれの出力端、つまり接続点TP51及びTP52の間に過電流検出回路30が接続され、スピーカ端子SP+あるいはSP-が接地されると、上述の実施態様と同様に、過電流状態が検出され、マイクロコンピュータ22がパワーアンプ回路51、52を保護するように制御する。図8では、マイクロコンピュータ22がスイッチ回路41、42をオフするように制御する。

また、上述の例は、本発明をオーディオ用のアンプに適用した例を挙げて説明したが、モータなどの電力機器を駆動するためのアンプとして使用することもできる。また、スピーカ19に代えて任意の負荷を接続すれば、その負荷に動作電

圧を供給することができると共に、入力信号Pinを変更することにより、負荷に供給される電圧の大きさを変更することができる。

なお、上記の例では、過電流検出回路の過電流検出出力を、マイクロコンピュータに供給し、マイクロコンピュータが負荷を切り離したり、ドライブ回路やPWM変調回路を制御したり、各回路への電源の遮断をコントロールしたりするようにしたが、本発明は、マイクロコンピュータではなく、専用の制御回路を別個に設けて制御を行うようにしてもよい。

なお、本発明は、添付の請求の範囲及びその主旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができることは当業者にとって明らかである。

#### 産業上の利用可能性

上述したように、本発明によれば、パワーアンプの最小出力のときと、最大出力のときとで、所期の比率の出力が得られないという従来技術が有している問題を解決しつつ、過電流時のプッシュプル回路のスイッチング素子や、負荷の保護を図ることができる。



## 請求の範囲

1. 入力信号を非反転して増幅し、出力端が負荷の一端に接続される第1の増幅回路と、

前記入力信号を反転して増幅し、出力端が前記負荷の他端に接続される第2の増幅回路と、

前記第1の増幅回路の出力端の電位と、前記第2の増幅回路の出力端の電位とのずれを検出する検出手段と、

前記検出手段の検出出力に基づき、前記第1及び第2の増幅回路の動作を停止させる動作停止手段と

を備えることを特徴とするパワーアンプ装置。

2. 前記第1の増幅回路は、前記入力信号を、その量子化レベルをパルス幅に対応させた第1のパルス幅変調信号に変換して出力する第1のパルス幅変調手段と、前記第1のパルス幅変調手段からのドライブパルスに応じて、スイッチング動作をし、出力端が前記負荷の一端に接続される第1のスイッチング回路とを備え、

前記第2の増幅回路は、前記入力信号を、その量子化レベルの2の補数をパルス幅に対応させた第2のパルス幅変調信号に変換して出力する第2のパルス幅変調手段と、前記第2のパルス幅変調手段からのドライブパルスに応じて、スイッチング動作をし、出力端が前記負荷の他端に接続される第2のスイッチング回路とを備える

ことを特徴とする請求の範囲第1項記載のパワーアンプ装置。

3. 前記動作停止手段は、前記検出手段の検出出力に基づいて、前記第1及び第2のパルス幅変調手段、前記第1及び第2のスイッチング回路の少なくともいずれかへの電源電圧の供給を停止することを特徴とする請求の範囲第2項記載のパワーアンプ装置。

4. 前記動作停止手段は、前記検出手段の検出出力に基づいて、前記第1及び／又は第2のパルス幅変調手段からのパルス幅変調信号の出力を停止することを特徴とする請求の範囲第2項記載のパワーアンプ装置。

5. 前記第1の増幅回路は、前記入力信号を、その量子化レベルをパルス幅に対

応させた第 1 のパルス幅変調信号に変換して出力する第 1 のパルス幅変調手段と、前記第 1 のパルス幅変調手段から出力される前記第 1 のパルス幅変調信号を互いに逆レベルの一对の第 1 のドライブパルスに変換して出力する第 1 のドライブ手段と、第 1 の一对のスイッチング素子がプッシュプル接続されて構成され、前記第 1 のドライブ手段からの前記一对の第 1 のドライブパルスが、前記第 1 の一对のスイッチング素子に供給され、出力端が負荷の一端に接続される第 1 のプッシュプル回路とを備え、

前記第 2 の増幅回路は、前記入力信号を、その量子化レベルの 2 の補数をパルス幅に対応させた第 2 のパルス幅変調信号に変換して出力する第 2 のパルス幅変調手段と、前記第 2 のパルス幅変調手段から出力される前記第 2 のパルス幅変調信号を互いに逆レベルの一对の第 2 のドライブパルスに変換して出力する第 2 のドライブ手段と、第 2 の一对のスイッチング素子がプッシュプル接続されて構成され、前記第 2 のドライブ手段からの前記第 2 の一对のドライブパルスが、前記第 2 の一对のスイッチング素子に供給され、出力端が前記負荷の他端に接続される第 2 のプッシュプル回路とを備える

ことを特徴とする請求の範囲第 1 項記載のパワーアンプ装置。

6. 前記動作停止手段は、前記検出手段の検出出力に基づいて、前記第 1 及び／又は第 2 の増幅回路への電源電圧の供給を停止することを特徴とする請求の範囲第 5 項記載のパワーアンプ装置。

7. 前記動作停止手段は、前記検出手段の検出出力に基づいて、前記第 1 及び／又は第 2 のパルス幅変調手段からのパルス幅変調信号の出力を停止することを特徴とする請求の範囲第 5 項記載のパワーアンプ装置。

8. 前記動作停止手段は、前記検出手段の検出出力に基づいて、前記第 1 及び／又は第 2 のドライブ手段からの一对のドライブパルスの出力を停止することを特徴とする請求の範囲第 5 項記載のパワーアンプ装置。

9. 前記動作停止手段は、前記検出手段の検出出力に基づいて、前記第 1 及び／又は第 2 の増幅回路への電源電圧の供給を停止することを特徴とする請求の範囲第 1 項記載のパワーアンプ装置。

10. 入力信号を非反転して増幅し、出力端が負荷の一端に接続される第 1 の増

幅回路と、

前記入力信号を反転して増幅し、出力端が前記負荷の他端に接続される第2の増幅回路と、

前記第1の増幅回路の出力端の電位と、前記第2の増幅回路の出力端の電位とのずれを検出する検出手段と、

前記検出手段の検出出力に基づき、前記出力端に対して前記負荷を切り離すようにする手段と

を備えることを特徴とするパワーアンプ装置。

11. 前記第1の増幅回路は、前記入力信号を、その量子化レベルをパルス幅に対応させた第1のパルス幅変調信号に変換して出力する第1のパルス幅変調手段と、前記第1のパルス幅変調手段からのドライブパルスに応じて、スイッチング動作をし、出力端が前記負荷の一端に接続される第1のスイッチング回路とを備え、

前記第2の増幅回路は、前記入力信号を、その量子化レベルの2の補数をパルス幅に対応させた第2のパルス幅変調信号に変換して出力する第2のパルス幅変調手段と、前記第2のパルス幅変調手段からのドライブパルスに応じて、スイッチング動作をし、出力端が前記負荷の他端に接続される第2のスイッチング回路とを備える

ことを特徴とする請求の範囲第10項記載のパワーアンプ装置。

12. 前記第1の増幅回路は、前記入力信号を、その量子化レベルをパルス幅に対応させた第1のパルス幅変調信号に変換して出力する第1のパルス幅変調手段と、前記第1のパルス幅変調手段から出力される前記第1のパルス幅変調信号を互いに逆レベルの一对の第1のドライブパルスに変換して出力する第1のドライブ手段と、第1の一对のスイッチング素子がプッシュプル接続されて構成され、前記第1のドライブ手段からの前記一对の第1のドライブパルスが、前記第1の一对のスイッチング素子に供給され、出力端が負荷の一端に接続される第1のプッシュプル回路とを備え、

前記第2の増幅回路は、前記入力信号を、その量子化レベルの2の補数をパルス幅に対応させた第2のパルス幅変調信号に変換して出力する第2のパルス幅変

調手段と、前記第 2 のパルス幅変調手段から出力される前記第 2 のパルス幅変調信号を互いに逆レベルの一对の第 2 のドライブパルスに変換して出力する第 2 のドライブ手段と、第 2 の一对のスイッチング素子がプッシュプル接続されて構成され、前記第 2 のドライブ手段からの前記第 2 の一对のドライブパルスが、前記第 2 の一对のスイッチング素子に供給され、出力端が前記負荷の他端に接続される第 2 のプッシュプル回路とを備えることを特徴とする請求の範囲第 10 項記載のパワーアンプ装置。

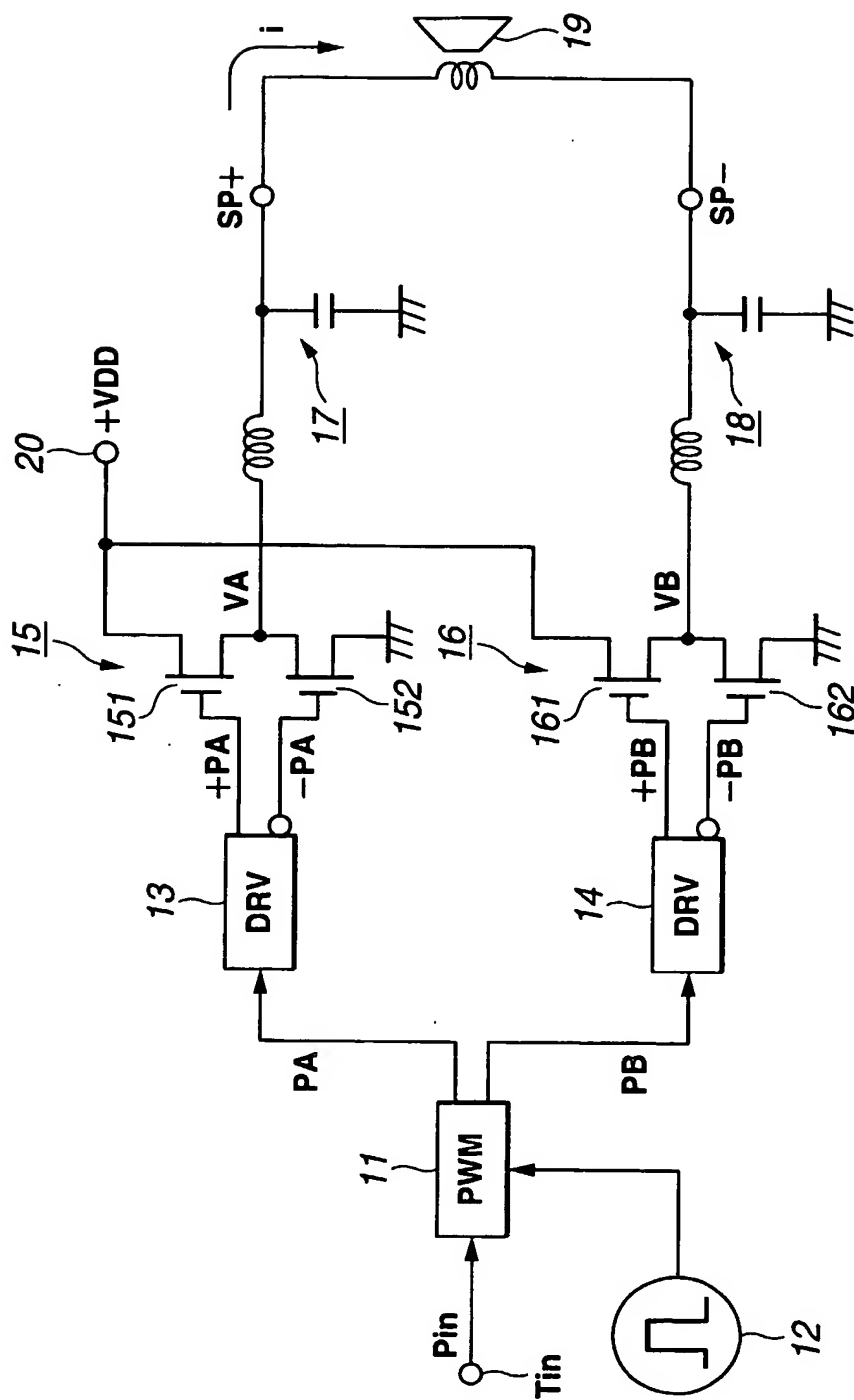
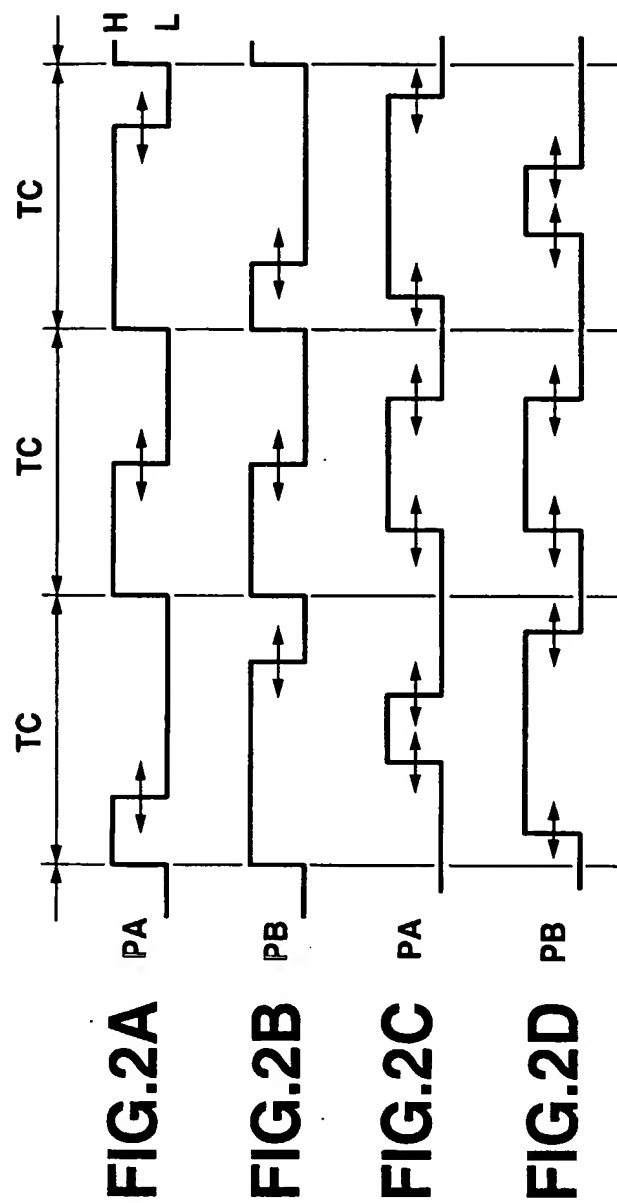


FIG.1



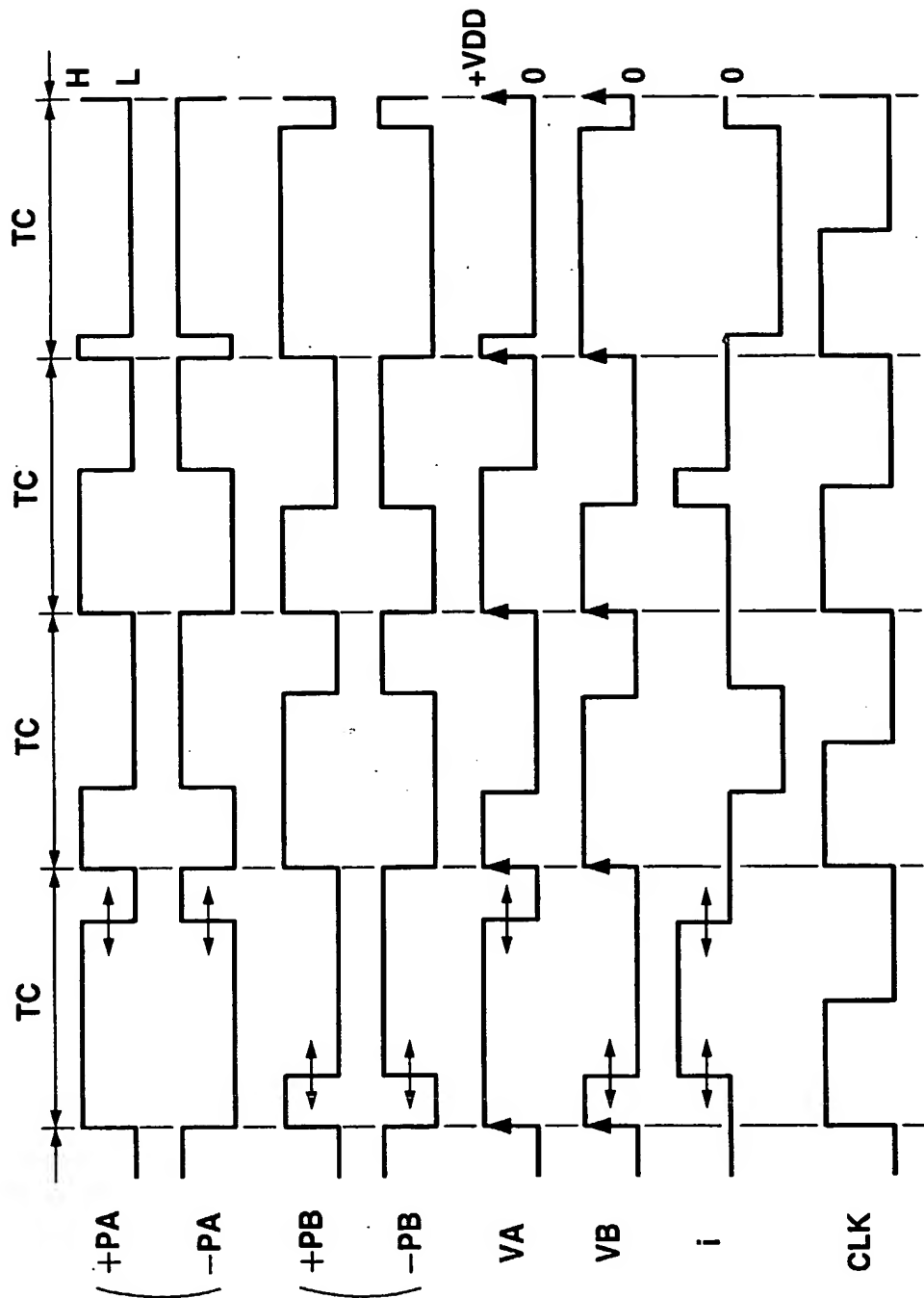


FIG.3A

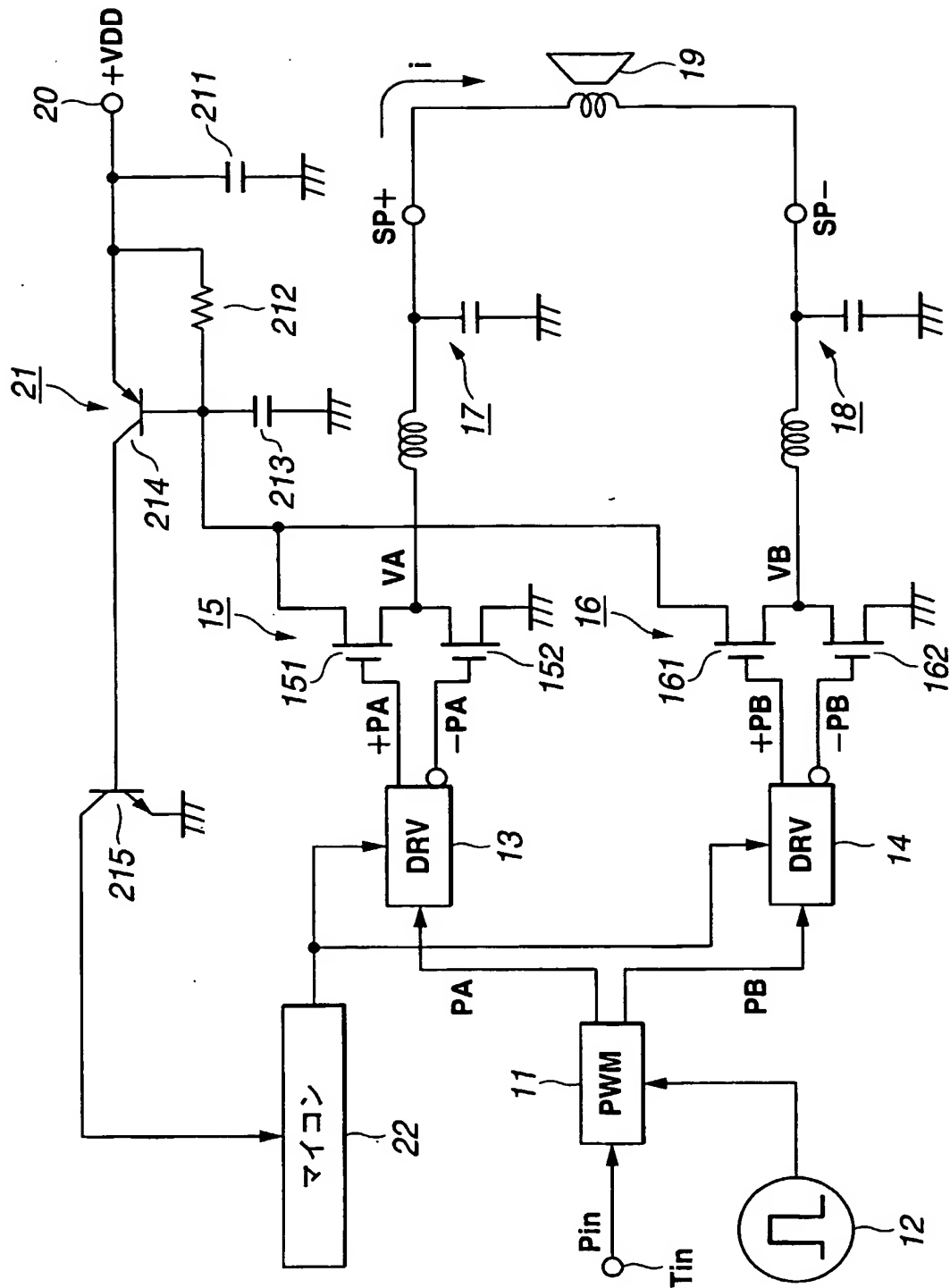
FIG.3B

FIG.3C

FIG.3D

FIG.3E

FIG.3F



**FIG. 4**



5/7

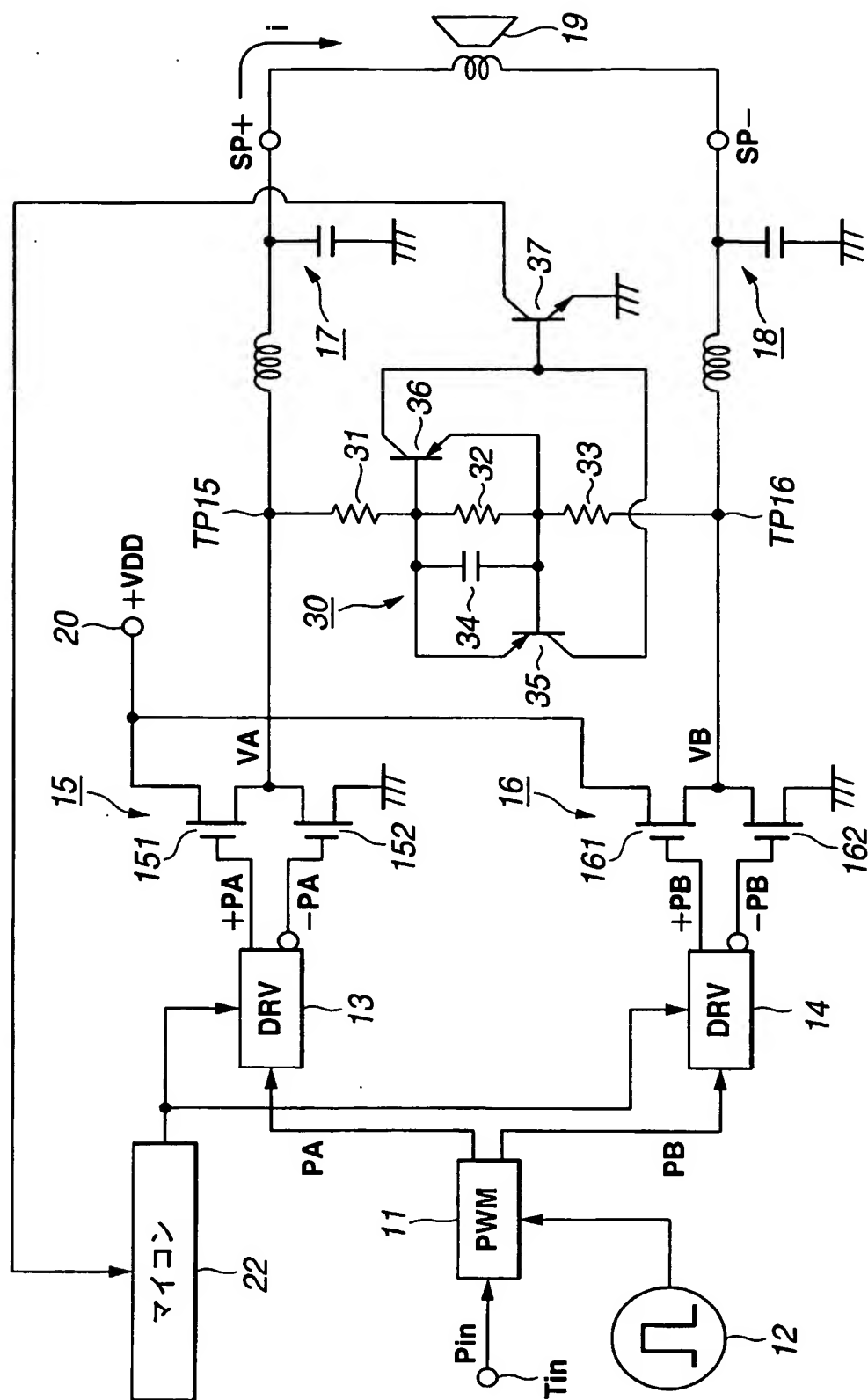


FIG.5

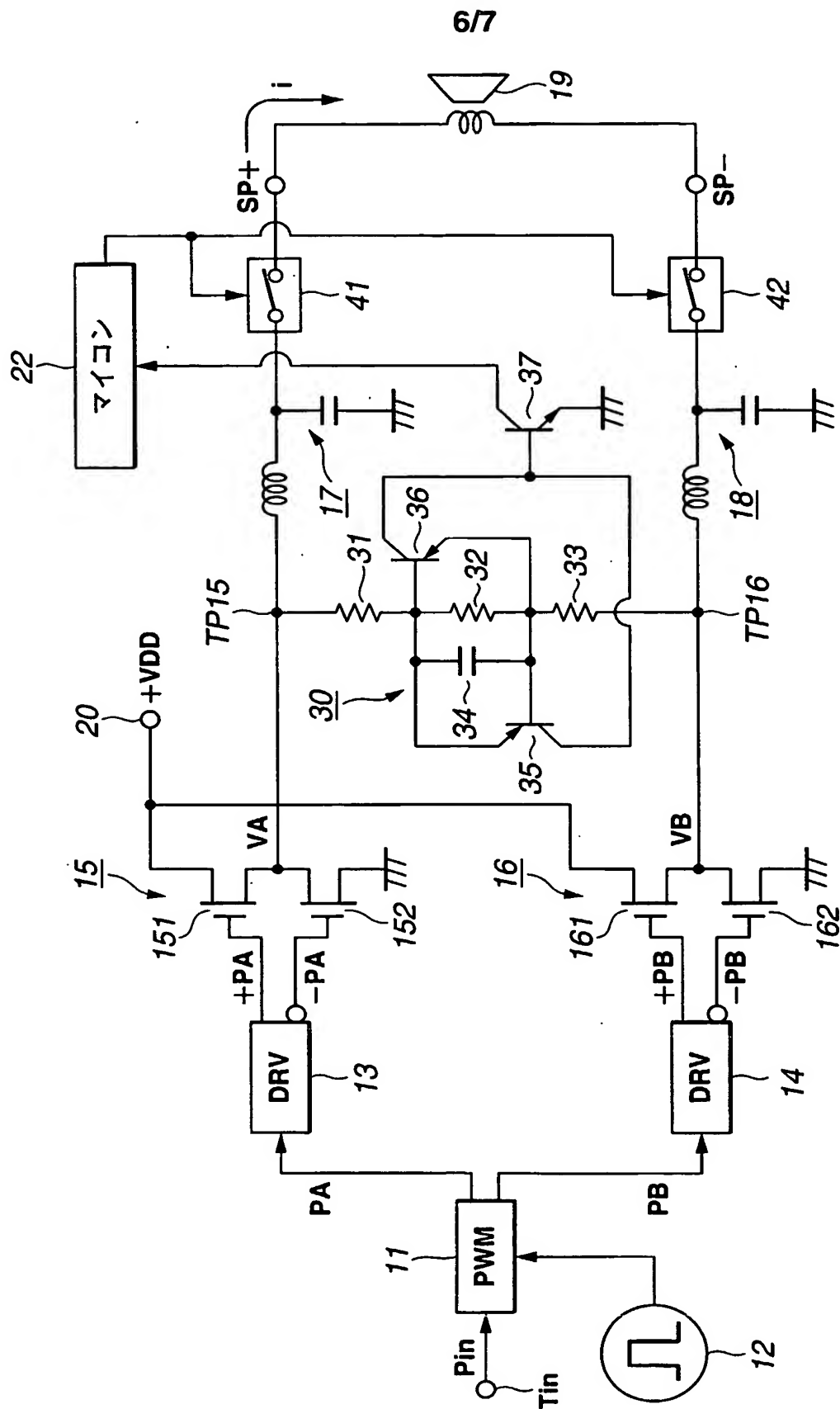


FIG.6

7/7

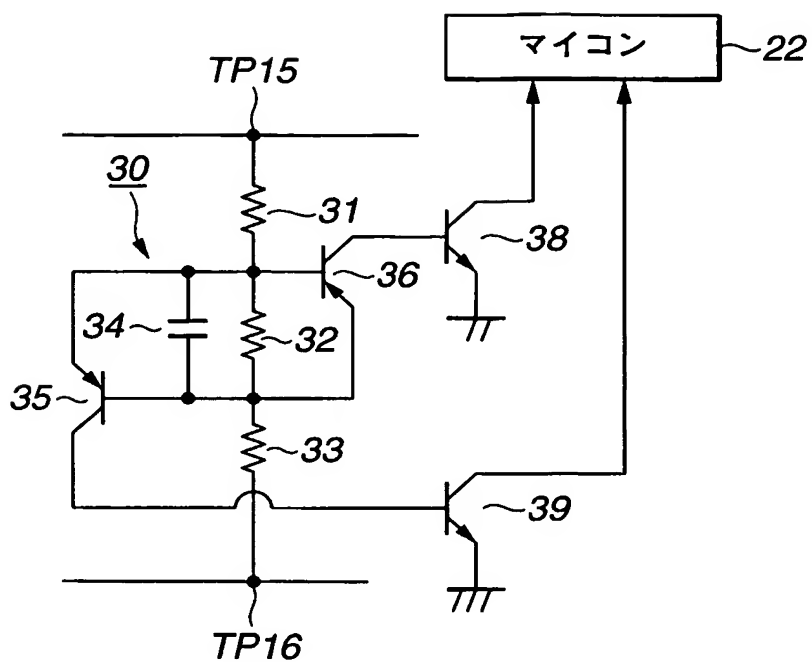


FIG.7

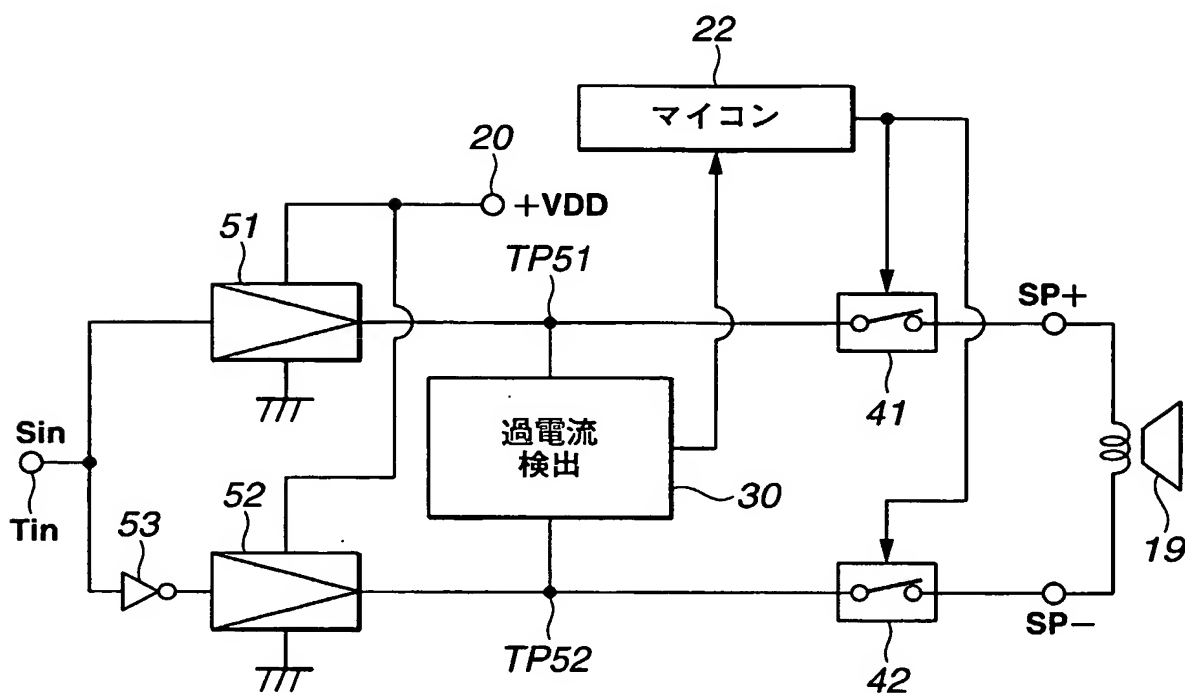


FIG.8

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07224

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03F3/217, H03F3/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03F1/00-3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-196941 A (Kenwood Corp.), 15 July, 1994 (15.07.94), (Family: none)	1-12
Y	JP 9-116353 A (FMS Audio Sendirian Bahado), 02 May, 1997 (02.05.97), (Family: none)	1-12
Y	JP 2000-174571 A (Pioneer Electronic Corp.), 23 June, 2000 (23.06.00), & EP 1006650 A2	1-12
Y	JP 2002-158544 A (Sony Corp.), 31 May, 2002 (31.05.02), (Family: none)	2-4, 11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
27 August, 2003 (27.08.03)

Date of mailing of the international search report  
09 September, 2003 (09.09.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/07224

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-158542 A (Sony Corp.), 31 May, 2002 (31.05.02), & US 2002/0075072 A1	8, 10-12
Y	JP 3189605 B2 (Sony Corp.), 18 May, 2001 (18.05.01), (Family: none)	5-8, 12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H03F3/217 H03F3/26		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H03F1/00-3/72		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-196941 A (株式会社ケンウッド) 1994. 07. 15 (ファミリーなし)	1-12
Y	JP 9-116353 A (エフ・エム・エス・オーディオ・セン ディリアン・バハド) 1997. 05. 02 (ファミリーなし)	1-12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 27. 08. 03	国際調査報告の発送日 09.09.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 佐藤 敬介 電話番号 03-3581-1101 内線 3574	

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-174571 A (パイオニア株式会社) 2000.06.23 & EP 1006650 A2	1-12
Y	JP 2002-158544 A (ソニー株式会社) 2002.05.31 (ファミリーなし)	2-4, 11
Y	JP 2002-158542 A (ソニー株式会社) 2002.05.31 & US 2002/0075072 A1	8, 10-12
Y	JP 3189605 B2 (ソニー株式会社) 2001.05.18 (ファミリーなし)	5-8, 12